

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057301

(43)Date of publication of application : 22.02.2002

(51)Int.Cl.

H01L 27/105
H01L 21/283
H01L 21/316
// C23C 14/34

(21)Application number : 2000-245714

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.08.2000

(72)Inventor : YAMAKAWA KOJI
ARIKADO TSUNETOSHI
OKUMURA KATSUYA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

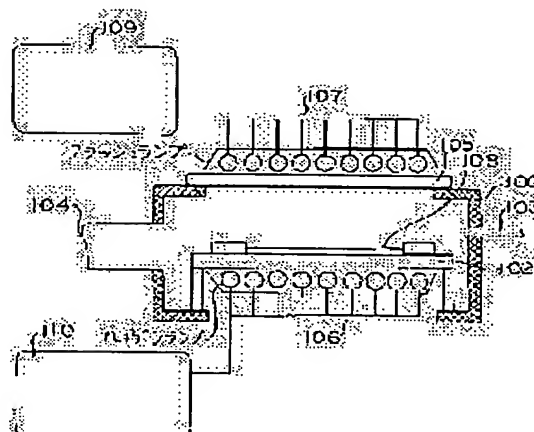
(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a structure in which a dielectric film and a ferroelectric film are crystallized irrespective of the condition of the substratum, and a manufacturing method of the semiconductor device.

SOLUTION: In a semiconductor device having a capacitor using a ferroelectric film, the ferroelectric film formed on a semiconductor substrate 108 is crystallized by using a flash lamp 107. The semiconductor substrate can be previously heated by using a halogen lamp.

Crystallization is enabled without exerting influence on the structure of a lower part of the capacitor. A one-transistor semiconductor memory can be obtained wherein the ferroelectric film like a PZT film is crystallized on an SiO₂ insulating film like a gate oxide film or silicon by using the flash lamp, in the state that interface reaction is restrained. Furthermore, crystallization is enabled only in a part irradiated with a light by using a mask when the flash lamp is used. A

metal mask, a glass mask, etc., which shield a lamp light can be used as a mask member.



LEGAL STATUS

[Date of request for examination]

30.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-57301

(P2002-57301A)

(43)公開日 平成14年2月22日(2002.2.22)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/105		H 0 1 L 21/283	L 4 K 0 2 9
21/283		21/316	Y 4 M 1 0 4
21/316		C 2 3 C 14/34	N 5 F 0 5 8
// C 2 3 C 14/34		H 0 1 L 27/10	4 4 4 B 5 F 0 8 3
			4 4 4 A

審査請求 未請求 請求項の数12 O L (全 19 頁)

(21)出願番号 特願2000-245714(P2000-245714)

(22)出願日 平成12年8月14日(2000.8.14)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 山川 晃司

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 有門 経敏

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100097629

弁理士 竹村 壽

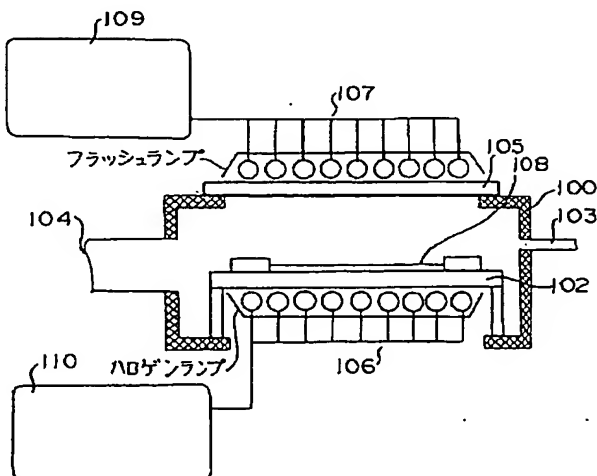
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 下地の状態によらずに誘電体膜、強誘電体膜が結晶化された構造を有する半導体装置及び半導体装置の製造方法を提供する。

【解決手段】 強誘電体膜を用いたキャパシタを具備する半導体装置において、フラッシュランプ107を用いて半導体基板108に形成された強誘電体膜を結晶化する。半導体基板はハロゲンランプで予め加熱しておくことができる。キャパシタの下部の構造に影響を与えることなく結晶化が可能になる。またフラッシュランプを用いてゲート酸化膜などのSiO₂絶縁膜あるいはシリコン上に界面反応を抑制した状態でPZT膜などの強誘電体膜を結晶化した1トランジスタタイプの半導体メモリが得られる。さらにフラッシュランプを使用する際にマスクを使用することにより光の照射された部分のみ結晶化が可能である。マスク材はランプ光を遮光するメタルマスク、ガラスマスクなどを使用できる。



【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板上に形成されたシリコン酸化膜からなるゲート酸化膜と、

前記ゲート酸化膜上に形成され、且つ結晶化された強誘電体膜と、

前記強誘電体膜上に形成された電極とを具備し、

前記ゲート酸化膜は、膜の厚さが20nm以下であることを特徴とする半導体装置。

【請求項2】 半導体基板と、

前記半導体基板上に形成された第1の絶縁膜に埋め込まれた接続プラグと、

前記接続プラグに電気的に接続された下部電極、この下部電極上に形成され、且つ結晶化された強誘電体膜及びこの強誘電体膜上に形成された上部電極から構成されたキャパシタと、

前記キャパシタを被覆するように、前記第1の絶縁膜上に形成されたシリコン酸化膜からなる第2の絶縁膜とを具備し、

前記第1の絶縁膜と前記強誘電体膜との接触部分に形成された前記強誘電体膜に含まれる陽イオン元素とシリコンとの混合領域が30nm以下であることを特徴とする半導体装置。

【請求項3】 前記接続プラグが埋め込まれた第1の絶縁膜には前記半導体基板に形成された半導体素子と電気的に接続される少なくとも1層のアルミニウムを主成分とする金属配線もしくは銅を主成分とする金属配線が形成されていることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記接続プラグと前記下部電極との間にはバリア層が形成され、前記下部電極と前記バリア層を合わせた膜厚は、50nm以上、150nm以下であることを特徴とする請求項2又は請求項3に記載の半導体装置。

【請求項5】 前記強誘電体膜は、チタン酸ジルコン酸鉛からなることを特徴とする請求項1乃至請求項4のいずれかに記載の半導体装置。

【請求項6】 請求項1乃至請求項5のいずれかに記載された強誘電体膜をフラッシュランプを用いて加熱することにより結晶化する工程を具備していることを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板上もしくはこの半導体基板に被覆形成された電極あるいはゲート酸化膜上にアモルファス状態の強誘電体膜を形成する工程と、
前記アモルファス状態の強誘電体膜上に遮光マスクを直接もしくは所定の距離をおいて配置する工程と、
前記遮光マスクを介してフラッシュランプを前記アモルファス強誘電体膜に照射して前記強誘電体膜を選択的に結晶化する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項8】 半導体ウェーハ上にアモルファス状態の強誘電体膜を形成する工程と、

前記アモルファス状態の強誘電体膜が形成された前記半導体ウェーハ周辺のベベル部上に遮光マスクを直接もしくは所定の距離をおいて配置する工程と、

前記遮光マスクを介してフラッシュランプを前記アモルファス状態の強誘電体膜に照射して前記強誘電体膜を選択的に結晶化する工程とを具備したことを特徴とする半導体装置の製造方法。

10 【請求項9】 前記強誘電体膜は、チタン酸ジルコン酸鉛からなることを特徴とする請求項6乃至請求項8のいずれかに記載の半導体装置の製造方法。

【請求項10】 半導体基板上にシリケート誘電体、ペロブスカイト型誘電体、 ZrO_2 、 HfO_2 、 Ta_2O_5 、 TiO_2 から選ばれた材料からなるゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

20 前記ゲート絶縁膜の前記ゲート電極が形成されたゲート領域以外の部分に遮光マスクを直接もしくは所定の距離をおいて配置する工程と、

前記遮光マスクを介してフラッシュランプを前記ゲート絶縁膜に照射して前記ゲート領域のゲート絶縁膜を選択的に結晶化する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項11】 前記遮光マスクには、露光光学系と縮小投影露光とを併用することを特徴とする請求項7乃至請求項10のいずれかに記載の半導体装置の製造方法。

30 【請求項12】 前記強誘電体膜もしくは前記ゲート絶縁膜を結晶化するために行われるフラッシュランプ照射は、下記の式(1)、(2)の条件に従って行われることを特徴とする請求項6乃至請求項11のいずれかに記載の半導体装置の製造方法。

$$E \geq -(T/10) + 55 \cdots (1)$$

$$I = \alpha \cdot E / \tau > 1500 \cdots (2)$$

E (J/cm^2) は、Xeフラッシュランプの出力(コンデンサへの総蓄積電荷量から求めたコンデンサの蓄積電荷エネルギー量を放射効率0.4、反射効率0.5として、照射面積をランプ配置面積として計算したもの)を表わし、 I (A) は、フラッシュランプ最大電流値を表わし、 τ (msec) は、パルス幅(パルス電流波形の半値幅と定義)(照射時間)を表わし、 T ($^{\circ}C$) は、アシスト温度(結晶化時の半導体基板の温度)を表わし、 α は、70である。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体メモリなどに形成された強誘電体膜を誘電体とするキャパシタ及びキャパシタ形成用フラッシュランプを用いた半導体装置の製造方法に関するものである。

50 【0002】

【従来の技術】通信技術の発達により、近年、携帯電話やインターネットに代表される電子機器のポータブル化、ネットワーク化、低コスト化が進んでいる。画像情報、動画情報などのこれらの機器で扱う情報量も拡大しており、電子機器に使用されるメモリ容量の拡大が以前にも増して要求されている。半導体メモリの高集積化のためにはその中で電荷を蓄積する役割を果たすキャパシタの微細化が必要である。例えば、揮発性メモリであるDRAM(Dynamic Random Access Memory)の高集積化においては、メモリ容量が3年で4倍のスピードで高密度化しており、ギガビットの容量のものが開発されてきている。メモリの高集積化のため、キャパシタを微細化するにはいくつか手段がある。例えば、①材料そのものに高誘電率のものを使用する、②キャパシタの厚さを低減する、③キャパシタ面積を増加させる、の3方式があげられる。①に対しては、これまでキャパシタ材料に用いられてきたシリコン酸化膜から、酸化タンタル(Ta_2O_5)、チタン酸バリウム・ストロンチウム(Ba, Sr)(TiO_2)などの薄膜が開発されている。これらの材料は、酸化シリコンと比較して誘電率が10-100倍程度高い特徴を持っている。②の誘電体膜の薄膜化については、これまでシリコン酸化膜の薄膜化を進めてきたが、厚さが3nm以下の領域となってくるとトンネル電流によりリーク電流が増加してしまう。したがって、このキャパシタの薄膜化についても限界が近づいている。③のキャパシタの面積の増加では、従来の平面キャパシタ構造から、シリコン基板に深いあなを形成したトレンチタイプあるいは立体形状を形作ったスタック型キャパシタなどの方法がとられている。メガビットからギガビット級の容量のメモリに対して、例えば、DRAMでは1セルあたり30fCの電荷量が必要とされている。この量は、キャパシタに貯えられた電荷を検出するセンスアンプの特性、ビット線の容量などに依存する。しかし、キャパシタ面積の増加についても、キャパシタ構造を複雑化する必要があり、キャパシタ形成プロセスへの負担が増加しているのが現状である。

【0003】近年、強誘電体薄膜を利用した不揮発性メモリである強誘電体メモリ(以下、Ferroelectric RAM: Ferroelectric Random Access Memory)の開発が進んでいる。Ferroelectric RAMは、DRAMのキャパシタ部分を強誘電体膜で置き換えたもので、以下のような特徴を有しており、次世代メモリとして期待されている。①書き込み、消去が高速であり、セルを小型化することによりDRAM並みの100ns以下の書き込み時間が可能である、②不揮発性メモリであり、SRAMと異なって電源が不要である、③書き替え可能回数が多く、強誘電体材料(SBTなど)、電極材料(IrO_x , RuO_x , $SrRuO_3$, など)を工夫することにより 10^{11} 回以上が可能である、④高密度高集積化が可能であり、DRAMと同等の集積度が得られる、⑤内部の

書き込み電圧を2V程度とすることができるので低消費電力である、⑥フラッシュメモリと異なりビット書き換え、ランダムアクセスが可能であるなどの特徴を有している。

【0004】これらの利点を利用して、エアコンの湿度センサ、各種電子機器の製造プロセスのモニタ用TAG、TVゲームのリジューム機能、アーケードゲームの記憶装置、TVやビデオの設定記憶、コピー、FAX、プリンタの感光ドラムの使用状況モニタ、衛星放送、ケーブルTVのセットトップボックス、自動車のエンジンコントロール、ラジオの周波数プリセット、RF-IDを用いた電子キー、ノイズの多い工業用製品などのラインの製造プロセスモニタ、電力積算計、工業用液体、気体流量計センサ、大型タンクの液面計、AVパソコン、PCカード、ファイルメモリ、携帯端末機器など、多分野、多方面に渡っての応用が実用化あるいは検討されている。Ferroelectric RAMは、キャパシタ部分にPZT($Pb(Zr, Ti)_{1-x}O_2$)、BIT(Bi, Ti, O_{1-x})、SBT($SrBi_2Ta_2O_{10}$)などの強誘電体薄膜を使用する。いずれも酸素八面体を基本構造とするペロブスカイト構造を基本とした結晶構造を持っている。現在DRAM用キャパシタ材料として検討されている常誘電体BSTも同様である。これらの材料は従来のシリコン酸化膜と異なり、アモルファスで使用することができない。したがって結晶化のための工程、例えば、高温での結晶化熱処理、高温での $in-situ$ 結晶化プロセスなどが必要となる。材料にもよるが、一般的に400~700°Cの温度が結晶化が必要となる。成膜方法としてはレーザーアブレーション法、真空蒸着法、MBE法など各種の方法が研究されているが、実用化されているものでは、MOCVD(Metal Organic Chemical Vapour Deposition)法、スパッタ法、溶液法(CSD: Chemical Solution Deposition)がある。MOCVD法、スパッタ法は成膜温度により、 $in-situ$ 結晶化と $Ex-situ$ 結晶化プロセスの両方がある。

【0005】以下は、とくに強誘電体薄膜キャパシタの構造及びその作成方法を例にとって説明する。強誘電体は、自発分極を持ち、その自発分極が電界により向きを反転することが可能であるという特徴を有している。自発分極は、電界を印加しない状態でも分極値を持ち(残留分極)、その値(分極の向き)が電界を0とする前の状態に依存する。ヒステリシス曲線において分極0となる時の電界値を抗電界と呼ぶ。印加する電界の向きで+、-の電荷を結晶表面に誘起することができ、この状態をメモリ素子の0、1に対応させる。DRAMと同じ1T/1C(1トランジスタ/1キャパシタ)の構造をとることができるが、現状では信頼性を向上させるために2T/2C構造のものが多く採用されている。強誘電体材料には次にあげるような特性、仕様が要求される。①反転分極量(スイッチング電荷)が大きいこと。これ

はデバイスの構造、センシングする際の設定電圧値、分極値の安定性などにもよるが、一般に $10\mu\text{C}/\text{cm}^2$ 以上が必要とされている。②比誘電率が小さいこと。スイッチング電流に対して、比スイッチング電流値が小さく、 S/N 比を抑えることができる。③分極値の書き換えサイクルによる減少(疲労特性)が少ないこと。疲労特性では強誘電体の材料そのものを変え、あるいは電極材料を酸化物系のものとするにより 10^{12} 回以上の特性が得られている。④分極反転速度が速いこと。キャパシタの小型化によりスイッチング特性が正味のドメイン反転速度ではなく、電極配線抵抗、浮遊容量などに主として左右されることが示されている。

【0006】⑤リーク電流が $10^{-6}\text{A}/\text{cm}^2$ 以下であること。キャパシタに蓄積した電荷の有無を利用するDRAMと比較すると、Ferroelectric RAMでは残留分極値を利用するため、基準となるリーク電流値はDRAMの場合よりも高くても問題ない。⑥データ保持特性が10年以上であること。実際に使用されている強誘電体材料は、PZT($\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$)薄膜、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_{10}$)薄膜である。前者のPZTは結晶化温度が 600°C 程度であること、分極値が大きく残留分極値で $20\mu\text{C}/\text{cm}^2$ 程度であること、抗電界が比較的小さく低電圧で分極反転が可能で、 Zr/Ti 組成比により結晶化温度の他に、グレインサイズ、グレイン形状などの構造特性、分極量、抗電界、疲労特性、リーク電流などの強誘電体特性が制御可能なこと、ペロブスカイト構造の持つ元素許容性からAサイト元素と呼ばれるPbをSr, Ba, Ca, Laなどの元素で、Bサイト元素と呼ばれるZr, TiをNb, W, Mg, Co, Fe, Ni, Mnなどの元素で置換することが可能であり、それが結晶構造、構造特性、強誘電特性に大きく影響することなどが利点としてあげられる。

【0007】もともとPZTは、アクチュエータ、超音波振動子、超音波モータ、ハイドロフォン、圧電トランスなどのトランスデューサへの応用、積層セラミックコンデンサなど受動部品への応用、赤外線センサなどセンサへの応用、さらに構造相転移、ドメイン挙動、圧電、焦電、強誘電体としての基本特性、ミクロな挙動など多くの研究がこれまでになされており、PZTの材料設計、特性改善、構造・電気特性の解明などのデータベースとして豊富であることも一つの利点といえる。またPZTは、その圧電、焦電、強誘電特性にすぐれることから早くから薄膜化の検討がなされてきており、スパッタ法、ゾルゲル法などの手法で成膜した研究例も多い。これらの背景からPZTは、最初にFerroelectric RAMとして実用化された材料である。欠点である書き込み回数の増加にともなう分極量の減少(疲労特性)は、疲労特性そのものが電界により加速される特徴をもつため、最近の動作電圧の低電圧化、当初使用されていたPt電極からIrO₂など酸化物電極の採用による疲労特性の

改善もなされている。

【0008】一方、後者のSBTは、PZTのもつ疲労特性の改善、膜の低電圧駆動を達成するため開発された材料である。SBTは、Bi層状化合物(Aurivillius Phase)の一種で強誘電性の起源となる酸素八面体からなる擬似ペロブスカイト構造層をBi, O₂層が挟む結晶構造を有している。この構造により主たる分極軸はc軸と垂直な面内にありc軸方向の分極は無いが、有ったとしても小さい値となる。擬似ペロブスカイト構造中の酸素八面体によってその分極が発現する。強い異方性によりこれまでセラミックとしては殆ど研究がなされていなかった。しかしMOD(Metalorganic Decomposition)法で薄膜形成が可能となり、形成された多結晶のSBT膜が強誘電性を示す、疲労特性が良好である、低電圧化が可能であることなどが確認されて以来さらに開発が加速されている。PZT膜の疲労は、Pt電極界面に形成される酸素空孔が主たる原因とされている。この酸素空孔の発生理由の一つがPb元素の揮発性、拡散容易性である。Pbは、ペロブスカイト構造の一部であるために酸素空乏が形成されると近傍の陽イオンと双極子を形成し、スイッチング電荷の減少を引き起こす。SBTは、揮発性元素であるBiがなくなっても電荷を補償する酸素空乏自体はBi酸化物層に形成されるため直接ペロブスカイト構造での影響は少ない。また、価数の変化し易いTiを持たないことも有効とされている。SBTは、PZTと比較して分極量が小さいが、Taの一部をNbで置換することにより分極量を増大させることも可能である。最近SBTをキャパシタとして集積化したデバイスも試作されている。SBTは、MOD法の他にゾルゲル法、スパッタ法、レーザアブレーション法などでも形成されている。

【0009】PZT膜もMOD法、レーザアブレーション法、イオンビームスパッタ法、熱CVD法、MOCVD法、レーザCVD法などで形成されているが、Ferroelectric RAM製品としてはゾルゲル法、スパッタ法が中心である。スパッタ法では基板上に直接結晶化したペロブスカイトPZT膜を形成するためには約 500°C 以上の高温が必要であるが、低融点元素のPbの蒸気圧が高いこと、スパッタ率が高いことなどの理由から、高温で容易に基板から蒸発、再スパッタする。結晶化温度である 500°C 以上ではPbはほとんど基板へとどまらず組成制御が困難である。通常はPbあるいはPbOのターゲットを別に用意し、同時にスパッタして過剰量のPbを供給するなどの工夫がなされるが、面積の大きい基板に均一に組成制御して膜形成することは難しい。室温ではPbの蒸発、再スパッタの影響が小さいため、比較的容易にターゲットに近い組成のPZT膜が形成可能である。ただし室温においてもプラズマからのイオン、スパッタ粒子などによる運動量によって基板やシールド部が高温となりやすく、蒸発、再スパッタの影響は注意す

る必要がある。各部の電位によってもA r イオンの衝撃が異なるため組成が変化する。

【0010】電子部品に使用する強誘電体膜を形成するプロセスをP Z T強誘電体膜を用いたFerroelectric R A Mの例で説明する。トランジスタを形成するプロセスを経たシリコン半導体基板に絶縁膜を形成し、下地電極として150nm厚のP t電極をDCマグネトロンスパッタにより形成する。P tは酸化膜と密着性が良好ではないため、接合層としてT i (20nm)をP t成膜前に連続スパッタで形成する。次に、下地電極上にP Z T膜をRFマグネトロンスパッタにより形成する。上記の理由から基板温度を上げず室温で成膜する。12インチのセラミックP Z Tターゲットに対して1.0~1.5kWでスパッタを行う。スパッタガスはA rで0.5~2.0Paの圧力範囲で成膜した。約5分間のスパッタ時間で250~300nmの膜厚のP Z Tアモルファス膜が得られる。P Z T成膜前に約1時間のプレススパッタを成膜するスパッタ条件で行う。アモルファス状態のP Z T膜は、R T A (Rapid Thermal Anneal) プロセスによりペロブスカイト相に結晶化する。600℃以上の温度で数秒で結晶化が可能である。管状炉などでも結晶化は可能であるが、R T Aの方がサーマルバジェットが小さく下地電極、電極とP Z T膜の拡散、反応を抑えることができ、界面の平滑化には適している。また、P Z Tの結晶化には異相として非強誘電相のバイロクロア相があるが、この相は結晶化の昇温速度を小さくした場合やZ r / T i 比が大きい場合に形成され易い。バイロクロア相が第二相としてできた場合には分極量が小さくなるだけでなく、P Z T膜の信頼性にも影響を及ぼす可能性がある。結晶化したP Z T膜に関して、さらに上部電極であるP t膜をDCマグネトロンスパッタにより形成してキャパシタ構造を形成する。キャパシタパターンは、R I E (Reactive Ion Etching) 装置を用いて、A r と弗化炭素系のガス中でエッチングを行い微細パターンを形成する。電極との密着性を向上させるために600℃で酸素中1時間のアニール処理を行う。このようにして形成したP Z T膜は、P b, L a, (Z r, T i) O₃の膜組成を持ち、スパッタ時のスパッタ電力とガス圧を変えることによりP b量を10%以内の範囲で変化する。このP b量により特性が変動する。形成した100~300nm径の柱状組織のP Z T膜の電気特性は、P Z T膜組成、微細構造の変化により、リーク電流が大きい、疲労特性が悪い、分極量の小さいものが多い、抗電界が大きいなど問題も発生する。P Z T膜表面の凹凸が大きい場合は、R I E時に加工表面の凹凸が大きくなる。P Z T、P t膜のR I Eではイオンにより物理的エッチング効果が大きいため膜表面の凹凸がエッチング後の形状に大きく影響する。

【0011】一方、ゾルゲル法やMOD法などの溶液法(C S D法)で形成するP Z T成膜プロセスでは、原料

の性状、取り扱い容易性、安定性や他の物質と混合した時の反応性からP b、T i、Z rなどのP Z T膜構成元素の原料をまず選択する。P bでは酢酸鉛3水和物、Z rにはジルコニウムテトラプロボキシド、T iにはチタンテトライソプロボキシドを利用する場合が多く、溶剤に2メトキシエタノールを使用して約0.2Mの溶液をまず調製する。この溶液は水分を十分に取り除くことで長期保存が可能である。一般に、酢酸鉛の水和物の水分を除去する。成膜する時はこの溶液に水を加えて縮重合反応を起こさせるが、脱水反応及び脱アルコール反応によってM-O-Mの架橋状態が変化する。この際に加えた水の量、反応時間(保持時間)、pH、温度、濃度などによりこの架橋状態が変化する。スパッタの場合と同様に異なったアモルファス状態を形成することになるため、P Z Tペロブスカイト構造に結晶化した後に配向性、結晶粒の性状、強誘電特性、リーク電流、疲労特性などが変化する。MOD法でも同様である。P b、Z r、T iの2エチルヘキサン酸などを使用し、有機溶剤のキシレンを用いてP Z TのMOD用溶液を調製する。MOD法の場合は加水分解反応は起こさず、その状態(混合状態)で半導体基板上に塗布する。半導体基板上に成膜した後に250℃程度の低温で乾燥、脱溶剤を実施して、アモルファス状態のP Z T膜となる。MOD法では原料がC、H、Oを多く含む構造であるため結晶化時の膜の収縮が大きく、数100nmの厚い膜を形成するには塗布と結晶化工程を繰り返すなどの方法で行う。結晶化はスパッタと同様にR T Aを使用する場合が多い。750℃、5分程度の熱処理でペロブスカイト単一相が得られる。このような溶液法を用いたP Z T膜は結晶粒が100~数100nmと小さく、スパッタで成膜された膜のような柱状組織を示さない粒状組織が見られる場合が多い。一方、MOCVD法によりP Z T、S B T膜などを形成する場合には、条件を最適化することで立体形状キャパシタを形成するためのステップカバレージ性が良好なものを得ることができる。しかしこれら強誘電体、誘電体材料のMOCVD技術には困難な点が多い。例えば、膜組成を制御することが難しい。複合酸化物を構成する元素でB i、S r、B aなどは蒸気圧の高いソース原料がないために液体供給を利用した方法などをとる必要がある。また、各元素のソースの特性が異なることから最適成膜条件を設定することが難しい。原料の供給量と膜組成が必ずしも比例しない状況もある。また、添加物を加える際にはさらにソースの選択をしなくてはならないため困難さが増加する。In-situで結晶化した膜を得るプロセスでは半導体基板の表面(電極表面)の状態、組成によりその上に形成される膜の特性が変化する。

【0012】

【発明が解決しようとする課題】近年、以上で説明したような成膜方法を利用して高密度の強誘電体メモリを作

製すべくCOP (Capacitor On Plug)構造が考えられている。これはトランジスタのアクティブエリアから接続されてWやSiからなるプラグ構造がキャパシタ直下にあるものであり、セルサイズを小さくすることができる。平面キャパシタであれば前述したスパッタ法、塗布法、MOCVD法が利用でき、立体キャパシタ構造を用いる場合にはMOCVD法などを利用すればよい。しかしこの構造ではキャパシタの強誘電体膜を結晶化する時もしくはキャパシタをインテグレーションした時のRIE加工、絶縁膜CVDなどのダメージを回復させるための熱処理の時に直下のプラグ材料の表面が酸化されてコンタクト抵抗が高くなり、ひどい場合には剥離が生じるなどの問題がある。これを回避するために、TiAlN、TiN、TaSiNなどのバリア層の形成、IrO₂、Ir、RuO₂、Ruなどの電極材料が試みられている。また、前述したような立体キャパシタ形成の試みもなされている。MOCVDでの膜形成においても組成制御性、ステップガバレッジの良好な低温で成膜し、後の熱処理において誘電体膜、強誘電体膜を結晶化する方法が行われている。また、キャパシタのRIEダメージの低減を目的としてダマシンプロセスを利用したキャパシタ作製プロセスなどが提案されているが、CMPを利用するプロセスでは酸化膜と誘電体膜、強誘電体膜が接した状態で熱処理することがあるためにその部分での反応が問題となる。例えば、PZTとSiO₂とは熱により鉛ガラスを形成して接触部分を著しく劣化させる問題がある。

【0013】一方、Ferroelectric RAMをさらに高密度化するための1トランジスタタイプの強誘電体メモリも開発が進められている。古くはトランジスタのゲート上に直接Bi、Ti、O₂などの強誘電体を形成したものが研究開発されているが、Siとの界面に酸化物界面層が形成されること、特定の材料のみしか結晶化できないこと、界面の反応を制御することができないこと、などの阻害要因があり界面に欠陥が多く特性面で実現できなかった。また、PZTなどの材料ではSiO₂上で結晶化することが困難である。これはRTAなどの結晶化熱処理方法を採用すると、基板側から結晶化が進行し易いが、先にPZT中のPbとSiO₂とが反応することにより劣化した界面が形成され、コイルにPbが消費されることで組成ずれが生じ、したがって、その上にPZTが結晶化しないためである。PZT中のTi量を増加させて結晶化温度を低減し、膜上部あるいは膜内部から結晶化を促進することも可能であるが、この場合は結晶化の制御が困難である。また、下地との反応は避けられず1TrタイプのFerroelectric RAM作製には満足できるものではなかった。このことは高誘電率膜をゲート絶縁膜に採用した場合にも同様である。ZrO₂、HfO₂、その他ZrSiO₃などのシリケート膜をゲート膜として使用する際には、Siとの界面の欠陥形成阻害

が重要である。この場合も高温での結晶化工程により界面の相互拡散、反応が引き起こされ、界面劣化が生じてしまう。

【0014】従来、シリコンウェーハ上のアモルファス膜を結晶化するプロセスにおいて、RTAや炉などを使用すると選択的に結晶化することが困難である。例えば、DRAMのキャパシタ膜のように広い領域にわたって膜を形成し結晶化する場合には、電極膜だけでなく絶縁膜の上にも誘電体膜が存在するために、通常の結晶化でこれらの部分も熱にさらされることになる。誘電体膜と絶縁膜との間の反応が起こる可能性もあり、デバイスを形成する上で好ましくない。また、同じ電極上で結晶化させたい部分とさせたくない部分が存在する場合などは従来の加熱方法では困難である。また、メモリ機能とロジック機能とを一つのチップに集積するSOC (System On Chip)の開発が進められている。メモリとロジックを共通のプロセスで作製するために各プロセスの整合性が問われる。Ferroelectric RAMとロジックとの混載の場合は通常のロジック作製プロセスにキャパシタ工程を追加すれば可能であるが、Ferroelectric RAM用のキャパシタがその後の加工、絶縁膜形成プロセスでダメージを受け易いこと、キャパシタに使用する材料がSiプロセスでは新規なものでクロスコンタミの問題があること、Ferroelectric RAM特有の低ダメージプロセスを採用し難いこと、などの理由から多層配線の上にキャパシタを形成するプロセスが提案されている。この場合は下地にAlやCuなどの多層配線、あるいは低誘電率膜が存在することで、キャパシタ形成温度を400℃程度まで低温化する必要がある。しかしこのような低温で強誘電特性が良好なキャパシタを作製することは困難であり、本構造を達成することは難しい。さらに、Ferroelectric RAMに使用するPZT、SBTに代表される強誘電体膜は、Siプロセスに対して新しい材料であり、クロスコンタミの問題が生じる。誘電体、強誘電体膜を結晶化して形成すると前述したようにSiO₂などと反応が進行し、クロスコンタミの原因となるシリコンウェーハのベベル部のエッチングなどが困難である。本発明は、このような事情によりなされたものであり、下地の状態によらずに誘電体膜、強誘電体膜が結晶化された構造を有する半導体装置及び半導体装置の製造方法を提供する。

【0015】

【課題を解決するための手段】本発明は、強誘電体膜を用いたキャパシタを具備する半導体装置において、フラッシュランプを用いて強誘電体膜を結晶化する工程を使用することを特徴としている。またフラッシュランプを用いてゲート酸化膜などのSiO₂、絶縁膜あるいはシリコン上に界面反応を抑制した状態でPZT膜などの強誘電体膜を結晶化した1トランジスタタイプの半導体メモリを形成することを特徴としている。本発明は、フラッ

シュランブを使用する際にマスクを使用することにより光の照射された部分のみ結晶化させることも可能である。マスク材は、ランプ光を遮光する別に設けたメタルマスク、ガラスマスクのようなものあるいは半導体基板上のアモルファスシリコン上に形成した金属膜を使用することができる。本発明は、強誘電体膜を用いたキャパシタを具備する半導体メモリ装置において、フラッシュランプを用いて強誘電体膜を結晶化するに際し、フラッシュランプの照射条件（投入電力、パルス時間、最大電流値、アシスト加熱温度などを規定することを特徴としている。すなわち、本発明の半導体装置は、半導体基板と、前記半導体基板上に形成されたシリコン酸化膜からなるゲート酸化膜と、前記ゲート酸化膜上に形成され、且つ結晶化された強誘電体膜と、前記強誘電体膜上に形成された電極とを具備し、前記ゲート酸化膜は、膜の厚さが20nm以下であることを特徴としている。また、本発明の半導体装置は、半導体基板と、前記半導体基板上に形成された第1の絶縁膜に埋め込まれた接続プラグと、前記接続プラグに電気的に接続された下部電極、この下部電極上に形成され、且つ結晶化された強誘電体膜及びこの強誘電体膜上に形成された上部電極から構成されたキャパシタと、前記キャパシタを被覆するように、前記第1の絶縁膜上に形成されたシリコン酸化膜からなる第2の絶縁膜とを具備し、前記第1の絶縁膜と前記強誘電体膜との接触部分に形成された前記強誘電体膜に含まれる陽イオン元素とシリコンとの混合領域が30nm以下であることを特徴としている。前記接続プラグが埋め込まれた第1の絶縁膜には前記半導体基板に形成された半導体素子と電気的に接続される少なくとも1層のアルミニウムを主成分とする金属配線もしくは銅を主成分とする金属配線が形成されているようにしても良い。前記接続プラグと前記下部電極との間にはバリア層が形成され、前記下部電極と前記バリア層を合わせた膜厚は、50nm以上、150nm以下、さらに好ましくは、50nm～100nmにしても良い。前記強誘電体膜は、チタン酸ジルコン酸鉛からなるようにしても良い。

【0016】本発明の半導体装置の製造方法は、前記強誘電体膜をフラッシュランプを用いて加熱することにより結晶化する工程を具備していることを特徴としている。また、本発明の半導体装置の製造方法は、半導体基板上もしくはこの半導体基板に被覆形成された電極あるいはゲート酸化膜上にアモルファス状態の強誘電体膜を形成する工程と、前記アモルファス状態の強誘電体膜上に遮光マスクを直接もしくは所定の距離をおいて配置する工程と、前記遮光マスクを介してフラッシュランプを前記アモルファス強誘電体膜に照射して前記強誘電体膜を選択的に結晶化する工程とを具備したことを特徴としている。また、本発明の半導体装置の製造方法は、半導体ウェーハ上にアモルファス状態の強誘電体膜を形成する工程と、前記アモルファス状態の強誘電体膜が形成さ

れた前記半導体ウェーハ周辺のベベル部上に遮光マスクを直接もしくは所定の距離をおいて配置する工程と、前記遮光マスクを介してフラッシュランプを前記アモルファス状態の強誘電体膜に照射して前記強誘電体膜を選択的に結晶化する工程とを具備したことを特徴としている。前記強誘電体膜は、チタン酸ジルコン酸鉛からなるようにしても良い。本発明の半導体装置の製造方法は、半導体基板上にシリケート誘電体、ペロブスカイト型誘電体、 ZrO_2 、 HfO_2 、 Ta_2O_5 、 TiO_2 から選ばれた材料からなるゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート絶縁膜の前記ゲート電極が形成されたゲート領域以外の部分に遮光マスクを直接もしくは所定の距離をおいて配置する工程と、前記遮光マスクを介してフラッシュランプを前記ゲート絶縁膜に照射して前記ゲート領域のゲート絶縁膜を選択的に結晶化する工程とを具備したことを特徴としている。前記遮光マスクには、露光光学系と縮小投影露光とを併用するようにしても良い。前記強誘電体膜もしくは前記ゲート絶縁膜を結晶化するために行われるフラッシュランプ照射は、下記の式

(1)、(2)の条件に従って行われるようにしても良い。

$$E \geq -(T/10) + 55 \dots (1)$$

$$I = \alpha \cdot E / \tau > 1500 \dots (2)$$

$E(J/cm^2)$ は、Xeフラッシュランプの出力（コンデンサへの総蓄積電荷量から求めたコンデンサの蓄積電エネルギー量を放射効率0.4、反射効率0.5として、照射面積をランプ配置面積として計算したもの）を表わし、 $I(A)$ は、フラッシュランプ最大電流値を表わし、 $\tau(msec)$ は、パルス幅（パルス電流波形の半値幅と定義）（照射時間）を表わし、 $T(^{\circ}C)$ は、アシスト温度（結晶化時の半導体基板の温度）を表わし、 α は70である。

【0017】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1及び図2を参照して第1の実施例を説明する。この実施例ではPZT膜を用いた強誘電体メモリ（Ferroelectric RAM）を用いて説明する。図1は、PZT膜を誘電体膜として使用したキャパシタが形成されたシリコン半導体基板の断面図、図2は、半導体装置を製造する工程フロー図である。まず、シリコン半導体基板1のnウェル、pウェルに通常プロセスによりトランジスタ $Tr1$ 、 $Tr2$ を作り込みCMOS構造を形成する(①)。次に、CVD法によりトランジスタ領域をPSG(Phospho-Silicate Glass)、BPSG(Born-doped Phospho Silicate Glass)等の材料からなる絶縁膜2で被覆し、CMP(Chemical Mechanical Polishing)を用いて表面を平坦化する(②)。その上にCVD法により、シリコン窒化膜(SiN)3を形成し(③)、これを下地基板とする。ここでキャパシタと

トランジスタのアクティブエリア（ソース及びドレイン）11との接続をタングステン（W）や多結晶シリコンなどからなるプラグを利用して行うために、あらかじめプラグ4を埋め込むコンタクト孔を形成する。プラグ材料は、TiNをCVDにて埋め込んだものでも良い（㉔）。この実施例では、プラグの形成は、プラズマCVD法とCMPとを併用する。次に、強誘電体の形成プロセス又はその後のキャパシタ特性確保のための酸素中アニールプロセスにおいて、プラグ4の表面が酸化することを防止する目的からバリア層5を形成する

（㉕）。バリア層5にはTiAlN（Ti/Al=0.9/0.1（モル比））を用いる。厚さは略50nmである。キャパシタの下部電極下全面にバリア層を形成する必要はなく、プラグをリセスした状態でプラグ上のみバリア層を形成しても良いし、下部電極下全面に下部電極形成時に作製してもよい。どちらを選ぶかにより全体のプロセスが若干異なってくる。この実施例ではDCマグネトロンスパッタ法を用いてプラグ4との接続面にこのバリア層5を成膜させる。その上に下部電極6のRuをスパッタ法により形成する（㉖）。Ruは、PZTキャパシタ用電極として使用すると界面部分にRuO₂の導電性酸化物層が形成され、PZTの疲労特性（分極反転を繰り返した時の分極量の劣化現象）が向上する。Ruは、この導電性酸化物RuO₂を形成すること、酸素を含むガスでのドライエッチングが良好なこと、PtやIrなどの貴金属と比較して材料費が安価なことなどの特徴がある。仕様によってはPt、Ir、IrO₂などの電極を使用することも可能である。

【0018】次に、厚さ約50nmのRuを形成した後にスパッタ法を用いてPZT膜7を形成する（㉗）。この場合RFマグネトロンスパッタ法を採用する。ここではPb量を10モル%程度多くしたPZTセラミックターゲットを使用する。ターゲットの組成比は、Pb_{1-x-y-z}La_xO_yZr_zTi_{1-y-z}O₃である。PZTセラミックターゲットは、密度の高い方がスパッタ速度が大きく水分などに対する耐環境性も良好であるため、理論密度98%のセラミック焼結体を使用する。スパッタ時にはプラズマにより基板温度の上昇や飛来粒子によるボンバードメントがあるために、シリコン半導体基板1からのPbの蒸発や再スパッタが起り膜中のPb量の欠損が生じ易い。ターゲット中の過剰Pbはそれを補償するために加えてある。Zr、Ti、Laなどの元素はターゲット組成とはほぼ同じ量で膜に取り込まれるため、望む組成の量比のものを用いればよい。電気特性がPZT膜7の組成などで不安定な場合にはアモルファスPZT膜7の上部あるいは下部にシード層を形成する。例えば、結晶化するPZT膜7の構造・電気特性を改良するために酸素を導入したスパッタ法を利用する。Arを導入した雰囲気中でスパッタ成膜したPZT膜と、酸素を添加したAr中スパッタにより形成したPZTシード層を用い

る。スパッタ条件として、ターゲット基板間距離が60nm、回転式マグネットを用いて12インチのセラミックPZTターゲットに対し1.0~1.5kWでスパッタを行う。ガス圧が0.5~2.0PaでArに酸素を20%導入した条件で15~30秒成膜させ、略2~5nm厚さのPZTアモルファスシード層を形成する。下地基板のRu上にはArガスのみを使用してガス圧0.5~2.0Pa、1.0~1.5kWの電力で約5分間RFマグネトロンスパッタによるアモルファスPZT膜7の形成を行う。膜厚は、100~150nmである。シード層にはPZT膜ではなく、膜厚2~5nm程度の薄いTi膜、Zr膜、Nb膜、Ta膜などを使用しても良い。

【0019】PZT膜の形成前にターゲット表面の状態、温度、チャンバー内環境を一定とするため約1時間のプレスパッタを同じスパッタ条件で行う。Pb量及び結晶化後の構造及び電気特性は、このプレスパッタにより大きく変化してしまう。バリア層を介してプラグ上に形成されたRu電極にアモルファスPZTが成膜された構造にフラッシュランプを使用してPZT膜7を結晶化させる（㉘）。フラッシュランプは、Xeガスを封入したものを1msec程度かそれ以下の短時間放電させる。PZT膜の結晶化を促進させる目的でシリコンウェハ下部に用意したハロゲンランプにより基板温度を予め350~450℃に保っている。Xeランプの放出エネルギーは、25J/cm²である。このエネルギーは貯えられた電荷量から求めたものであるが、実際は半分以下のエネルギーが膜の結晶化に寄与しているものと考えられる。この実施例では、ランプの照射と反対側には反射板を設けることで外部への光エネルギーの拡散を防止している。雰囲気は酸素気流中である。このような条件で約1msecの時間、上記エネルギーを照射することによりPZT膜7が結晶化する。得られた膜をX線回折にて結晶構造を調べたところ、ペロブスカイト相で（100）面からの非常に強い反射が得られた。微細構造の観察結果では、0.5μm径以下のPZT粒子がRu上に形成されている。

【0020】次に、結晶化されたPZT膜7上に上部電極8であるRu膜をDCマグネトロンスパッタにより形成してキャパシタ構造を形成する（㉙）。上部電極パターンは、半導体基板1の全面に形成されたRu膜をRIEを用い、酸素及び塩素の混合ガス中でエッチングして微細パターンを形成する。上部電極8との密着性、結晶の整合性を向上させるために350℃、窒素中30秒のアニール処理を施して強誘電体特性を得る。強誘電性を電荷量Q-印加電圧Vのヒステリシス特性で調べた結果、2.5V印加時に分極量2Pr（残留分極×2）で約30μC/cm²を示し、8インチ（約20.32cm）シリコンウェハの全面に同程度の分極量と抗電界を有するPZT膜であることが分かった。抗電圧も0.6

V程度と低い値が得られた。この試料の疲労特性を評価すると、疲労特性評価は $50\mu\text{m} \times 50\mu\text{m}$ の面積に相当するアレイで評価したところ、 10^{12} サイクルまで分極量の変化がなく、リーク電流も3V印加時で $10^{-8}\text{A}/\text{cm}^2$ オーダーと低い値であった。キャパシタの上部電極8からのコンタクトは、通常のLSI作製プロセスを用いる。すなわち、シリコン酸化膜などからなる絶縁膜9を半導体基板1上に形成してキャパシタ及びSiN膜3を被覆する。絶縁膜9の表面を平坦化してその表面から上部電極表面までのコンタクト孔を形成する。そして、その中にタングステン(W)などのプラグ10を埋め込み、上部電極8とその上に形成された金属配線12とを電気的に接続する。AlやCuなどの金属配線12は、絶縁膜9の平坦化された表面に形成される。次に、シリコン酸化膜などからなる絶縁膜13を半導体基板1上に形成して金属配線12及び絶縁膜9を被覆する。以下、絶縁膜とRIE、配線成膜工程を繰り返すことでキャパシタからの配線の引き出しを行って強誘電体メモリを形成する。

【0021】この実施例のように、フラッシュランプによる結晶化プロセスではWプラグとの接続部であるバリア層部分に酸素が拡散、反応した様子がなく、したがって、プラグも酸化されず安定した電気的特性を有する半導体装置が得られる。結晶化プロセスにおいて、タングステンやポリシリコンを材料とするプラグの酸化を防ぐのはPZT膜7とプラグ4との間に介在するバリア層5及び下部電極6の酸素の移動を阻止するバリア特性によるものである。バリア層には、TiN、TiAlN、TiSiNなどが用いられ、下部電極には、Ru、RuO₂、Ir、IrO₂などが用いられ、いずれも酸素に対するバリア特性の高い材料である。このバリア性が有効に維持されるためには、バリア層と下部電極の合わせた膜厚は、少なくとも50nmは必要であり、上限は100nmもしくは150nmが好ましい。あまり厚くすると、加工性が悪くなるし、キャパシタは通常半導体基板上に台形状に積層形成されるので、サイズが小さくできず半導体装置の微細化に資することがない。

【0022】次に、図3及び図10を参照して第2の実施例を説明する。この実施例では多層配線上にPZT薄膜を用いた強誘電体キャパシタを形成したFerroelectric RAM混載ロジックを説明する。図3は、PZT膜を使用したキャパシタの構造を示す断面図である。まず、p型シリコン半導体基板20に通常プロセスによりトランジスタTr1、Tr2を作り込みMOS構造を形成する。ここでキャパシタとトランジスタのアクティブエリア(ソース、ドレイン)21にはコバルト(Co)シリサイド22を形成し、これを接続用タングステン(W)プラグ23と接続させる。Wプラグ23との接続はTi/TiNの積層膜24を利用し、Wプラグ23はプラズマCVDを用いて形成する。キャパシタとトランジ

スタとの間には多層の層間絶縁膜26(26a~26e)が形成されており、各層間絶縁膜にはアルミニウム(Al)などの多層配線25(25a~25d)が形成されている。このAl多層配線25は、シングルダマシ工程あるいはデュアルダマシ工程を用いて形成することができる。Cu配線と低誘電率膜とを組み合わせた多層配線工程により形成することも可能である。このような多層配線を形成した層間絶縁膜26上に強誘電体キャパシタを形成する。

【0023】まず、Ir下部電極27をスパッタ法により形成する。Irは、PZTキャパシタ用電極として使用すると界面部分にIrO₂からなる導電性酸化物層が形成され、PZTの疲労特性(分極反転を繰り返した時の分極量の劣化現象)が向上する。Irは、この導電性酸化物IrO₂を形成すること、PZTとの反応による相互拡散が少ないこと、化学的に安定であることなどの特徴がある。Pt、Ru、RuO₂、IrO₂などの電極を使用することも可能である。下部電極27と電気的に接続されるWプラグ23との間には、例えば、Ti/TiNなどのバリア層32を介在させる。下部電極27として厚さ100nmのIr膜を形成した後にスパッタ法を用いてアモルファスPZT膜28をこの下部電極27を被覆するように形成する。ここでは基板加熱を行わないRFマグネトロンスパッタ法を採用する。この方式を実施するにあたり、Pb量を10%程度多くしたPZTセラミックターゲットを使用する。ターゲットの組成は、Pb_{1.1}La_{0.05}Zr_{0.85}Ti_{0.05}O₇である。PZTセラミックターゲットは、密度の高いものがスパッタ速度が大きく水分などに対する耐環境性も良好であるため、理論密度98%のセラミック焼結体を使用する。スパッタ時にはプラズマにより基板温度の上昇や飛来粒子によるボンバードメントがあるために、シリコン半導体基板からのPbの蒸発や再スパッタが起こり、膜中のPb量の欠損が生じ易い。ターゲット中の過剰Pbは、その欠損を補償するために加えてある。Zr、Ti、Laなどの元素はターゲット組成とほぼ同じ量で膜に取り込まれるため、望む組成の量比のものを用いればよい。電気特性がPZT膜の組成などで不安定な場合にはアモルファスPZT膜の上部にシード層を形成することができる。例えば、結晶化するPZT膜の構造・電気特性を改造するために、酸素を導入したスパッタ法を利用する。最初にArを導入した雰囲気ですパッタ成膜して、後に酸素を添加したAr中のスパッタリングによりPZTシード層を形成する。スパッタ条件は、ターゲット-基板間距離が60mm、回転式のマグネットを用いて、12インチのセラミックPZTターゲットに対し1.0~1.5kWですパッタを行う。ガス圧は、0.5~2.0PaでArに酸素を20%導入した条件で15~30秒間成膜して、2~5nm厚さのPZTアモルファスシード層を形成する。下地のRu上にはArガスのみを使

用してガス圧0.5~2.0Pa、1.0~1.5kWの電力により約5分間RFマグネトロンスパッタ法を用いたアモルファスPZT膜を形成する。成膜された膜厚は、100~150nmである。シード層にはPZT膜ではなく、2~5nm程度の薄いTi膜、Zr膜、Nb膜、Ta膜などを使用することが可能である。PZT成膜前にターゲット表面の状態、温度、チャンバー内環境を一定とするために約1時間のプレスパッタを同じスパッタ条件で行った。Pb量及び結晶化後の構造・電気特性は、このプレスパッタにより大きく変化してしまう。

【0024】次に、バリア層32を介してWプラグ23上に形成されたIr電極27にアモルファスPZT膜28が成膜されたものにフラッシュランプを使用してPZT膜28の結晶化を行う。フラッシュランプは、Xeガスを封入したものを1msec程度かそれ以下の短時間に放電させるものである。PZT膜の結晶化を促進させる目的でシリコンウェハ下部に用意したハロゲンランプにより基板温度を350~400℃に保っている。Xeランプの放出エネルギーは、23J/cm²である。このエネルギーは貯えられた電荷量から求めたものであるが、ランプと基板との距離は20mmであるので、実際は半分以下のエネルギーが膜の結晶化に寄与しているものと考えられる。ランプの照射と反対側には反射板を設けることで外部への光エネルギーの拡散を防止するように構成することが可能である。ランプ照射は、2秒間隔で約5バルス印加した。雰囲気は、酸素気流中である。フラッシュランプは、0.8msecの時間、上記のエネルギーを照射され、これによりPZT膜が結晶化する。得られた膜をX線回折にて結晶構造を調べたところ、ペロブスカイト相の(100)面からの非常に強い反射が得られた。微細構造の観察結果では、0.5μm径以下のPZT粒子がIr上に形成されている。次に、PZT結晶膜28上に上部電極29であるIr膜をDCマグネトロンスパッタにより形成してキャパシタ構造を作製する。

【0025】上部電極29は、基板全面に形成されたIr膜をRIEを用いて酸素、塩素の混合ガス中でエッチングし、微細パターン化して得られる。上部電極29との密着性、結晶の整合性を向上させるために350℃、窒素中、30秒のアニール処理を施して強誘電体特性を有するキャパシタCを得た。強誘電性を電荷量Q-印加電圧Vのヒステリシス特性で調べたところ、2.5V印加時に分極量2Pr(残留分極×2)で約30μC/cm²を示し、8インチシリコンウェハの全面に同程度の分極量と抗電界をもつPZT膜が得られたことがわかった。抗電圧も0.6V程度と低い値が得られた。この試料の疲労特性を評価すると、疲労特性評価は50μm×50μmの面積に相当するアレイで評価したところ、10¹¹サイクルまで分極量の変化がなく、リーク電流も3V印加時で10⁻⁸A/cm²オーダーと低い値であっ

た。キャパシタ上部電極29からのコンタクトは、通常のLSI作製プロセスを用いる。すなわち、キャパシタCを被覆するシリコン酸化膜などの絶縁膜30にコンタクト孔を形成し、さらに配線成膜工程を行ってキャパシタCからの配線31の引き出しを行う。フラッシュランプによる結晶化プロセスではキャパシタ下部の多層配線のAl配線、Cu配線、層間絶縁膜の形状劣化は観察されなかった。図10は、結晶化プロセス後のキャパシタ下部に配置されたAl配線を示す写真断面図である。図に示すように、フラッシュランプの照射後も強誘電体膜(PZT膜)及び下部電極(Pt膜)の下に配置され、絶縁膜(SiO₂)に被覆されたAl配線は、変形されていなかった。

【0026】次に、図4を参照して第3の実施例を説明する。この実施例では、SiO₂、ゲート酸化膜上にPZT薄膜を形成した1Tr型のFerroelectric RAMを説明する。図4にPZT膜を使用したキャパシタの構造

(MFI S: Metal-Ferroelectric-Insulator-Semiconductor)の断面図を示す。まず、図4(a)に示すように、p型シリコン半導体基板40に通常プロセスによりソース/ドレイン領域32を有するトランジスタを作り込みMOS構造を形成する。ここでゲート酸化膜33には通常のSiO₂を用いる。このゲート酸化膜33の上にはアモルファスPZT膜34をゾルゲル法などの塗布法あるいはスパッタ法により形成する。通常のRTAによる結晶化ではゲート酸化膜とPZT膜とが相互拡散し膜中にトラップを形成して良好な特性が得られない。ここではフラッシュランプによる結晶化を行う。スパッタ法によりPZT膜34を形成する場合は以下のプロセスを使用する。ここでは基板加熱を行わないRFマグネトロンスパッタ法を採用する。そして、Pb量を10%程度多くしたPZTセラミックターゲットを使用する。ターゲットの組成は、Pb_{1.1}La_{0.05}Zr_{0.4}Ti_{0.45}O₇である。PZTセラミックターゲットは密度の高いものがスパッタ速度が大きく水分などに対する耐環境性も良好であるため、理論密度98%のセラミック焼結体を使用する。スパッタ時にはプラズマにより基板温度の上昇や飛来粒子によるボンバードメントがあるために、シリコン半導体基板40からのPbの蒸発や再スパッタが起こり、膜中のPb量の欠損が生じ易い。ターゲット中の過剰Pbはそれを補償するために加えてある。Zr、Ti、Laなどの元素は、ターゲット組成とほぼ同じ量で膜に取り込まれるため、望む組成の量比のものを用いればよい。電気特性がPZT膜の組成などで不安定な場合にはアモルファスPZT膜の上部にシード層を形成する。例えば、結晶化するPZT膜の構造・電気特性を改造するために、酸素を導入したスパッタ法を利用する。最初にArを導入した雰囲気ですパッタ成膜し、その後に酸素を添加したAr中スパッタによりPZTシード層を形成する。

【0027】スパッタ条件は、ターゲット-基板間距離が60mm、回転式のマグネットを用い、12インチのセラミックPZTターゲットに対し1.0~1.5kWでスパッタを行う。ガス圧は0.5~2.0PaでArに酸素を20%導入した条件で15~30秒間成膜して略2~5nm厚さのPZTアモルファスシード層を形成する。下地のRu上にはArガスのみを使用してガス圧0.5~2.0Pa、1.0~1.5kWの電力で約5分間RFマグネトロンスパッタによるアモルファスPZT膜形成を行う。その膜厚は100~150nmである。シード層にはPZT膜ではなく、膜厚2~5nm程度の薄いTi膜、Zr膜、Nb膜、Ta膜などを使用してもよい。PZT成膜前にターゲット表面の状態、温度、チャンパー内環境を一定とするため約1時間のプレスパッタを同じスパッタ条件で行った。Pb量及び結晶化後の構造・電気特性は、このプレスパッタにより大きく変化してしまう。フラッシュランプはXeガスを封入したものを1msec程度かそれ以下の短時間に放電させるものである。PZT膜の結晶化を促進させる目的でシリコンウェハ下部に用意したハロゲンランプにより基板温度を350~400℃に保ってある。Xeランプの放出エネルギーは23J/cm²である。このエネルギーは、貯えられた電荷量から求めたものであるが、実際は半分以下のエネルギーが膜の結晶化に寄与しているものと考えられる。ランプの照射と反対側には反射板を設けることで外部への光エネルギーの拡散を防止している。照射は、2秒間隔で約2パルス印加した。雰囲気は酸素気流中である。フラッシュランプは、1msecの時間、上記のエネルギーで照射するが、これによりPZT膜が結晶化する。得られた膜をX線回折にて結晶構造を調べたところ、ペロブスカイト相の(100)面からの非常に強い反射が得られた。微細構造の観察結果では0.5μm径以下のPZT粒子がSiO₂上に形成されている。

【0028】次に、結晶化されたPZT膜34上に上部電極35であるPt膜をDCマグネトロンスパッタにより形成してキャパシタ構造を作製する。上部電極34は、基板全面に堆積されたPt膜をRIEを用い、Ar、塩素の混合ガス中でエッチングし、微細パターン化して得られる。上部電極との密着性、結晶の整合性を向上させるために450℃、窒素中、約30秒のアニール処理を施して強誘電体特性を有するメモリを得る。以下、通常のLSI作製プロセスによりAlとWプラグにより配線(図示しない)を形成する。強誘電性を電荷量Q-印加電圧Vのヒステリシス特性にて調べたところ、5V印加時に2Vのメモリウインドウが確認され、8インチシリコンウェハの全面に同程度の分極量と抗電界をもつPZT膜であることが分かった。また、ゲート部分を観察したところ、PZT膜とSiO₂との界面でゲート酸化膜(SiO₂)の膜厚が20nm以下と薄いにも

かかわらず、相互拡散が起こらずに良好なペロブスカイト構造が形成されていることが確認できた。したがって、20nmを越える厚さにする必要がない。例えば、Pbとの反応層が厚くなると凹凸が大きくなってゲート酸化膜のSiO₂が絶縁破壊されることになる。

【0029】この半導体メモリは、ゲートに高いプラス電圧を印加すると強誘電体は分極しチャンネルに電子が誘起される(図4(b))。逆に、ゲートにマイナスの高い電圧を印加すると強誘電体は反対に分極しチャンネルにプラス電荷が誘起される(図4(c))。この場合、電子が可動電荷であるから図4(b)の状態では電流が流れ、図4(c)の状態では電流が流れない。このようにして半導体メモリは動作が可能である。本方式は、MFI S構造だけではなく、シリコン半導体基板上に直接強誘電体膜を形成したMFS構造、シリコン半導体基板上にSiO₂、CaF₂、MgAl₂O₄、CeO₂などの絶縁膜を介したMFI S構造、SiO₂ゲート酸化膜上にPtなどの金属膜を形成した上に強誘電体膜を形成するMFMI S構造などに適用できることは明らかである。また、強誘電体材料もPZTに制限されるものでなく、SBT、SBTN、Bi、Ti、O₁₂、STNなどをすべて包含することになる。電極材料もPt、Ir、Ru及びそれらの酸化物、ペロブスカイト構造を持つ導電性酸化物膜を含むことができる。

【0030】次に、図5乃至図7及び図11を参照して第4の実施例を説明する。この実施例では立体形状キャパシタを用い、PZT薄膜を有する強誘電体メモリを説明する。図5は、PZT膜を使用した立体形状キャパシタの構造を示す断面図である。まず、図示はしないが、シリコン半導体基板50に通常プロセスによりトランジスタを作り込みCMOS構造を形成する。トランジスタ領域を被覆するように、PSG、BPSGなどの絶縁膜41をCVDにより形成し、CMPを用いてその表面を平坦化する。その上にCVD法にてシリコン窒化膜(SiN)を形成し、これを下地基板とする。ここで、キャパシタの下部電極とトランジスタのアクティブエリア(ソース/ドレイン領域)との接続をWや多結晶シリコンからなるプラグ42を用いて行うため、予め絶縁膜41にコンタクト孔を形成しておく。プラグ材料は、TiNをCVDで埋め込んだものでもよい。プラグ42の形成は、ブランケットCVD法とCMPとを併用する。まず強誘電体の形成あるいはその後のキャパシタ特性確保のための酸素中アニールプロセスにおいて、プラグ表面が酸化することを防止する目的からプラグ42の表面にバリア層43を形成する。バリア層43にはTiAlN(Ti/Al=0.9/0.1(モル比))を用いる。バリア層43の厚さは略50nmである。下部電極下の全面にバリア層を形成する必要はなく、プラグをリセスした状態でプラグ上のみバリア層を形成してもよいし、下部電極下の全面に下部電極形成時に作製してもよ

い。それにより全体のプロセスが若干異なってくる。この実施例ではDCマグネトロンスパッタ法を用いてブラグ42との接続面にこのバリア層43を成膜する。バリア層を個々のキャパシタ部分に分離し（ブラグ上に埋め込む場合はすでに分離されて状態になっている）、さらにその上にTEOSなどの材料を用いたCVD法によりSiO₂絶縁膜48を形成する。酸化膜48の厚さは立体キャパシタの深さに相当するためキャパシタサイズにあわせて厚さを調整する。キャパシタに必要とされる容量としては30fC程度である。したがって、PZT膜を使用した場合で仮に残留分極量を10μC/cm²とすると0.5×0.5μmの平面キャパシタで25fCゆえこれより小さいサイズのキャパシタでは立体化が必要となる。アスペクト比0.5とすると側面で約2倍の面積がとれるために容量が3倍となる。但し実際は誘電体膜の厚さのスケールアップ効果が小さく、キャパシタサイズがそれに律速される。次に、絶縁膜48に、凹型のキャパシタを形成するために、SiO₂絶縁膜48をRIEによりエッチングして底面にバリア層43が露出する凹部を形成する。RIEに用いるエッチングガスにはCF₄などのフロロカーボンガスを使用する。

【0031】次に、バリア層43を形成した上の凹部にスパッタ法により下部電極45を成膜する。この際、ステップカバレッジをあげるためにロングスロースパッタなどの方式を用いるとより効果的である。但しこの実施例で形成されるキャパシタでは凹部のアスペクト比が1以下程度が主体であるために、通常のスパッタでも可能である。下部電極45にはRuを使用する。Ruは、PZTキャパシタ用電極として使用すると界面部分にRuO₂、からなる導電性酸化層が形成され、PZTの疲労特性（分極反転を繰り返した時の分極量の劣化現象）が向上する。Ruは、この導電性酸化層RuO₂を形成すること、酸素を含むガスでのドライエッチングが良好なこと、PtやIrなどの貴金属と比較して材料費が安価なことなどの特徴がある。厚さ約50nmのRu膜を形成した後にキャパシタを形成するこの凹部にレジストをいれ、CMPにより凹部内部のみに下部電極45を残す構造にRu膜を加工する。このように、PZT成膜後に上部電極と下部電極がキャパシタのエッジ部分で短絡することを防ぐためにRu下部電極45のエッジ部分をレジストを利用してエッチングによりCMP平坦部より下となるように加工する。キャパシタ以外の部分に形成されたRuは下地の酸化膜をストッパーとしてCMPされる。キャパシタ上面からレジストで覆われていないRuエッジ部分をドライあるいはウェットでエッチングする。

【0032】次に、下部電極45を加工した上部にスパッタ法を用いてPZT膜46を形成する。その形成には、例えば、RFマグネトロンスパッタ法を用いる。ここではPb量を10%程度多くしたPZTセラミックタ

ーゲットを使用する。ターゲットの組成は、Pb_{1-x}La_xZr_{1-y}Ti_yO₃である。PZTセラミックターゲットは、密度の高いものがスパッタ速度が大きく水分などに対する耐環境性も良好であるため理論密度98%のセラミック焼結体を使用する。スパッタ時にはプラズマにより基板温度の上昇や飛来粒子によるボンバードメントがあるためにシリコン半導体基板からのPbの蒸発や再スパッタが起こり膜中のPb量の欠損が生じ易い。ターゲット中の過剰Pbはそれを補償するために加えてある。Zr、Ti、Laなどの元素はターゲット組成とは同じ量で膜に取り込まれるため望む組成の量比のものをを用いることができる。電気特性がPZT膜の組成などで不安定な場合には膜の上部にシード層を形成し、その上にPZT膜を成膜する。スパッタ条件はターゲット-基板間距離が60mm、回転式のマグネットを用いて、12インチのセラミックPZTターゲットに対し1.0~1.5kWでスパッタを行う。ガス圧は、0.5~2.0PaでArで約5分間RFマグネトロンスパッタを行う。膜厚は100~150nmである。PZT膜形成前にターゲット表面の状態、温度、チャンバー内環境を一定とするため約1時間のプレスパッタを同じスパッタ条件で行う。Pb量及び結晶化後の構造・電気特性は、このプレスパッタにより大きく変化してしまう。Xeフラッシュランプを用いて酸素気流中でペロブスカイト相を結晶化させた。フラッシュランプはXeガスを封入したものを1ms程度かそれ以下の短時間に放電させるものである。PZT膜の結晶化を促進させる目的でシリコンウェハ下部に用意したハロゲンランプにより基板温度を350~400℃に保っている。Xeランプの放出エネルギーは23J/cm²である。このエネルギーは貯えられた電荷量から求めたものであるが、実際は半分以下のエネルギーが膜の結晶化に寄与しているものと考えられる。ランプの照射と反対側には反射板を設けることで外部への光エネルギーの拡散を防止している。フラッシュランプは1ms程度の時間、上記のエネルギーで照射し、これによりPZT膜が結晶化する。得られた膜をX線回折にて結晶構造を調べたところ、ペロブスカイト相の(100)面からの非常に強い反射が得られた。この微細構造を図に示す。微細構造の観察結果では、0.5μm径以下のPZT粒子が形成されている。この時のキャパシタ凹部エッジでのカバレッジは図5に示すように良好であった。

【0033】また、図6に示すように、PZTとSiO₂膜との接する部分(A)でも顕著な相互拡散、反応などによる形状劣化が観察されなかった。図6は、強誘電体膜を有する半導体基板の断面図である。すなわち、フラッシュランプ処理による結晶化により界面欠陥生成が防止される。PZT膜をウェハ全面に残さない場合にはこの段階でキャパシタ以外の部分のPZT膜をCMPにより除去する。また、この工程（PZT膜のCMP処

理)は、上部電極を形成した後に上部電極をCMPする際に同時に行うようにしても良い。次に、PZT結晶膜上に上部電極47であるRu膜をDCマグネトロンスパッタにより形成してキャパシタ構造を作製する。Ru膜をバターンングして上部電極47を形成するには、CMPを用いてキャパシタ部のみ残すようにしてもよいが、RIEを用いて、酸素、塩素の混合ガス中でエッチングを行い微細パターンを形成しても良い。この場合は、PZT膜の周辺部で上部電極を加工するためにPZTキャパシタ本体にはダメージは入らない。その後、上部電極との密着性、結晶の整合性を向上させるために500°Cで窒素中、30秒のアニール処理を施して強誘電体特性を有する強誘電体を得る。強誘電性を電荷量Q-印加電圧Vのヒステリシス特性で調べたところ、分極量2Pr(残留分極×2)で約40μC/cm²を示し、8インチシリコンウェハの全面に同程度の分極量と抗電界をもつPZT膜が形成されていることが分かった。抗電圧も1V程度と低い値が得られた。そして、この試料の疲労特性を評価した。疲労特性評価は50μm×50μmの面積に相当するアレイで評価したところ、1×10¹²サイクルまで分極量の変化がなく、リーク電流も5V印加時で10⁻⁸A/cm²オーダーと低い値であった。

【0034】この実施例は、スパッタ法により立体キャパシタを形成したものであるが、より大きいアスペクト比の場合にはMOCVDやLSMCDなどの方法を採用してもよい。また、フラッシュランプとシリコン半導体基板との間にマスク材を使用することでウェハの一部のみ結晶化することも可能である。図7は、マスクを用いて強誘電体膜を部分的にアモルファス状態から結晶化する状態を説明する半導体基板の断面図である。シリコン半導体基板上にシリコン酸化膜(SiO₂) (図7(a))もしくは電極膜を形成し、その上にアモルファスPZT膜を形成する。その上にマスクを間隔を置く(図7(b))かアモルファスPZT膜に密着させて配置し(図7(c))、この状態でこの実施例のようにフラッシュランプを照射すると、マスクされない部分のみPZT膜が結晶化する。ウェハの外周部などでPZT膜を結晶化するとその後の工程でエッチングにより除去することが困難なためにクロスコンタミの問題が生じ易い。例えば、PZT膜を結晶化する際にウェハエッジ部分を覆うようなマスク材を利用する(図7(b)参照)ことで問題は解決できる。また、さらに微小部分のみ結晶化した場合はより精度の高いマスクを用意し、ウェハとの距離を小さくする方法、レンズ系を使用して縮小投影する方法などが考えられる。後者はCrマスクなど通常の露光用マスクと併用することでさらに微小領域を選択的に結晶化することができるために強誘電体膜、誘電体膜を均一に選択的に結晶化することが可能になる。

【0035】また、その他の応用として、ゲート絶縁膜そのものにフラッシュランプ加熱を利用することも可能

である。ZrO₂、HfO₂やシリケート薄膜が検討されているが、それらの膜の誘電率を増加させるために一部結晶化する方法を本発明で用いたフラッシュランプ加熱により達成することが可能である。すなわち、シリコンなどの半導体基板上にZrSiO₃などのシリケート誘電体、SrTiO₃や(BaSr)TiO₃などのペロブスカイト型誘電体、ZrO₂、HfO₂、Ta₂O₅、TiO₂などの高誘電率材料からなるゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記ゲート絶縁膜の前記ゲート電極が形成されたゲート領域以外の部分に遮光マスクを直接もしくは所定の距離をおいて配置し、前記遮光マスクを介してフラッシュランプを前記ゲート絶縁膜に照射して前記ゲート領域のゲート絶縁膜を選択的に結晶化する。そこで、この実施例のように、ベベル部にまで強誘電体膜(PZT膜)が形成されたシリコンウェハの周辺のベベル部に遮光マスクを配置し、この状態でPZT膜にフラッシュランプを照射して結晶化処理を行う(図11)。図11は、遮光マスクが配置されたシリコンウェハの平面図及び断面図である。フラッシュランプ照射により非遮光部の中心部分のPZT膜は結晶化され、ベベル部のPZT膜はアモルファス状態にある。結晶化PZT膜は、弗酸には溶けるが塩酸ではエッチングが難しい。しかしアモルファスPZT膜は塩酸で容易にエッチングができるのでシリコンウェハベベル部のエッチングが困難ではなくなる。このように強誘電体膜を結晶化するとSiO₂などと反応が進行し、クロスコンタミの原因となるシリコンウェハのベベル部のエッチングなどが困難になるのにマスクを用いて部分的結晶化を行うと、エッチング処理が容易になる。

【0036】次に、図8、図9、図12及び図13を参照して第5の実施例を説明する。この実施例では、例えば、図1と同じ様なPZT薄膜を用いた強誘電体メモリを用いて強誘電体膜の結晶化を説明する。図8は、強誘電体膜の結晶化条件を示す特性図である。縦軸は、結晶化のためにフラッシュランプが半導体基板に照射するエネルギー密度(J/cm²)を表わし、横軸は、結晶化時の基板温度(アシスト温度)(°C)を表わしている。まず、シリコン半導体基板に通常プロセスによりトランジスタを作り込みCMOS構造を形成する。トランジスタ領域をPSG、BPSGなどの絶縁膜をCVD法により形成し、CMP法によりその表面を平坦化する。その上にCVD法によりシリコン窒化膜(SiN)を形成し、これを下地基板とする。ここでキャパシタとトランジスタのアクティブエリア(ソース/ドレイン領域)との接続をタングステン(W)やポリシリコンからなるプラグを用いて行うため、予めそのプラグを形成しておく。プラグの形成にはブランケットCVD法とCMPとを併用する。キャパシタ構造は、始めに下部電極であるPtを形成する。このPt膜は、DCマグネトロンスパ

ッタを用いて約100nmの厚さにされる。下部電極は、Pt以外ではRu、Ir、RuO₂、IrO₂あるいはこれらの積層構造、SRO、LSCO、YBCOなどのペロブスカイト構造酸化物導電体でも可能である。Ruは、PZTキャパシタ用電極として使用すると界面部分にRuO₂からなる導電性酸化物層が形成され、PZTの疲労特性（分極反転を繰り返した時の分極量の劣化現象）が向上する。Ruは、この導電性酸化膜RuO₂を形成すること、酸素を含むドライエッチングが良好なことなどの特徴がある。下部電極の上にRFマグネ

10 トロンスパッタ法によりアモルファスPZT膜を形成する。Pb量を10%程度多くしたPZTセラミックターゲットを使用する。
 [0037]ターゲットの組成はPb_{1.1}La_{0.9}Zr_{0.1}Ti_{0.9}O₃である。PZTセラミックターゲットは密度の高いものがスパッタ速度が大きく水分などに対する耐環境性も良好であるため、理論密度98%のセラミック焼結体を使用する。スパッタ時にはプラズマにより基板温度の上昇や飛来粒子によるボンバードメントがあるためにシリコン半導体基板からのPbの蒸発や再スパッタが起こり膜中のPb量の欠損が生じ易い。ターゲット中の過剰Pbはその欠損を補償するために加えてある。Zr、Ti、Laなどの元素はターゲット組成とはほぼ同じ量で膜に取り込まれるため、望む組成の量比のものを用いればよい。電気特性がPZT膜の組成などで不安定な場合にはアモルファスPZT膜の上部にシード層を形成する。例えば、結晶化するPZT膜の構造・電気特性を改良するために酸素を導入したスパッタ法を利用する。最初にArを導入した雰囲気ですパッタ成膜して、後に酸素を添加したAr中スパッタによりPZTシード層を形成する。スパッタ条件は、ターゲットー基板間距離が60mm、回転式のマグネットを用いて、12インチのセラミックPZTターゲットに対し1.0~1.5kWですパッタを行う。ガス圧は0.5~2.0PaでArに酸素を20%導入した条件で15~30秒間成膜して2~5nm厚さのPZTアモルファスシード層を形成する。下地のRu上にはArガスのみを使用してガス圧0.5~2.0Pa、1.0~1.5kWの電力で約5分間RFマグネ

40 トロンスパッタによるアモルファスPZT膜の形成を行う。アモルファスPZT膜の膜厚は100~150nmである。シード層にはPZT膜ではなく、2~5nm程度の薄いTi膜、Zr膜、Nb膜、Ta膜などを使用してよい。PZT成膜前にターゲット表面の状態、温度、チャンバー内環境を一定とするため約1時間のプレスパッタを同じスパッタ条件で行う。Pb量及び結晶化後の構造及び電気特性は、このプレスパッタにより大きく変化する。
 [0038]バリア層を介してブラグ上に形成されたRu電極にアモルファスPZTが成膜されたものに、フラッシュランプを使用してPZT膜の結晶化を行う。フラ

ッシュランプは、Xeガスを封入したものを1msec程度かそれ以下の短時間に放電させる。PZT膜の結晶化を促進させる目的でシリコンウェハ下部に用意したハロゲンランプにより基板温度を350~450℃に保っている。Xeランプの放出エネルギーは25J/cm²である。このエネルギーは貯えられた電荷量から求めたものであるが、実際は半分以下のエネルギーが膜の結晶化に寄与しているものと考えられる。図8は、基板温度とフラッシュランプの結晶化エネルギーとの関係を示す特性図である。図に示された直線Yは、結晶化領域の範囲を規定し、この直線Yの上は結晶化領域であり、下は非結晶化領域である。直線Yは、 $Y = -0.1X + 5$ （Yはエネルギー密度、Xはアシスト温度を表わしている。）で表わされる。結晶化に必要なフラッシュランプの照射条件は、次式（1）、（2）で示される。

$$E \geq -(T/10) + 55 \quad \dots (1)$$

$$I = \alpha \cdot E / \tau > 1500 \quad \dots (2)$$

ここでE(J/cm²)は、Xeフラッシュランプの出力（コンデンサへの総蓄積電荷量から求めたコンデンサの蓄積エネルギー量を放射効率0.4、反射効率0.5とし、照射面積をランプ配置面積として計算したもの）である。I(A)は、ランプ最大電流値である。τ(ms)は、パルス幅（パルス電流波形の半値幅と定義）、すなわち、照射時間である。T(℃)は、アシスト温度である。nは、パルス印加回数である。αは、定数であり、70を表わしている。この結晶化条件でランプ照射を行うと強誘電体膜が結晶化される。

30 [0039]ランプの照射と反対側には反射板を設けることで外部への光エネルギーの拡散を防止している。結晶化時の雰囲気は酸素気流中である。約1msecの時間、上記のエネルギーを照射することによりPZT膜が結晶化される。得られた膜をX線回折にて結晶構造を調べたところ、ペロブスカイト相の(100)面からの非常に強い反射が得られた。微細構造の観察結果では、0.5μm径以下のPZT粒子がPt下部電極上に形成されている。次に、結晶化されたPZT膜上に上部電極であるRu膜をDCマグネ

40 トロンスパッタにより形成してキャパシタ構造を作製する。上部電極は、Ru膜をRIEを用いて酸素、塩素の混合ガス中でエッチングを行い微細パターン化する。上部電極との密着性、結晶の整合性を向上させるために400℃、窒素中、30秒のアニール処理を施して強誘電体特性を有する強誘電体膜を得た。図12及び図13は、半導体基板上的TEOS膜に形成された膜厚150nmのPZT膜をフラッシュランプで結晶化処理した後の状態及び結晶化処理をしないままの状態を光学的に測定した特性図であり、横軸が2θを表している。図12において、半導体基板は、予め450℃に加熱されている。この状態で特性線Aは、フラッシュランプにより光をPZT膜に照射した後を示し(Flash)、特性線Bは、従来のように、フラッ

ランプ処理を行わない例(No flash)である。このように、結晶化処理により結晶化された強誘電体特性を有するPZTが形成される。図13は、半導体基板を400℃に加熱した場合のフラッシュランプの照射による効果を示している。ランプ照射を行った特性線Aでは結晶化されたPZT膜が示され(図13(a))、従来の加熱処理のみの特性線Bでは結晶化されたPZT膜が示されていない(図13(b))。

【0040】次に、本発明に用いる加熱処理装置を説明する。図9は、フラッシュランプを備えた加熱処理装置の概略断面図である。図で示すように、シリコンウエハが載置された試料台の下には棒状ランプ(ハロゲンランプ)が配置され、予めウエハを加熱できるように構成されている。この加熱処理装置は、アルミニウムからなる試料チャンバー100を有し、この試料チャンバー内部には、試料(シリコンウエハ)を載置する試料台102、酸素などのガスを導入するガス導入口103、排気する排気口104、光を導入するための上部の石英窓105、試料を予備加熱するための棒状ランプ106、フラッシュランプ107を備えている。棒状ランプ106は、3kWのタングステンハロゲンランプで16本、ウエハ108の下に設置され、ウエハ108を下から加熱する。一方、フラッシュランプ107は、同様に棒状のランプであり、15本がウエハ108の上に設置され、ウエハ108を上から加熱する。両ランプは、いずれもそれぞれ専用の電源109、110に接続されている。ランプ点灯のタイミング、点灯時間及びフラッシュランプの点灯回数は、マイコンによって制御されるように構成されている。上記ランプ106は、棒状のランプであることが本質的ではなく、ランプの分野でシングルエンドと呼ばれる一方向に外部端子が2つ設けられたタイプのランプでも同様の効果を期待することができる。

【0041】強誘電性を電荷量Q-印加電圧Vのヒステリシス特性にて調べたところ、2.5V印加時に分極量2Pr(残留分極×2)で約30μC/cm²を示し、8インチシリコンウエハの全面に同程度の分極量抗電界を持つPZT膜であることが判った。抗電圧も0.6V程度と低い値が得られた。この試料の疲労特性を評価し、疲労特性評価は50μm×50μmの面積に相当するアレイで評価したところ、1×10¹²サイクルまで分極量の変化がなく、リーク電流も3V印加時で10⁻⁸A/cm²オーダーと低い値であった。キャパシタ上部電極からのコンタクトは通常のLSI作製プロセスを用いる。すなわち絶縁膜とRIE、配線成膜工程を繰り返すことでキャパシタからの配線の引き出しを行う。フラッシュランプによる結晶化プロセスではWプラグとの接続部であるバリア層部分に拡散、反応した様子がなく、プラグも酸化されなかった。

【0042】

【発明の効果】本発明は、以上のように、強誘電体膜を

用いたキャパシタを具備する半導体メモリ装置において、フラッシュランプを用いて強誘電体膜を結晶化することによりキャパシタ下部の構造に関係なく強誘電体膜を作製することができる。本発明ではキャパシタの下地部分への熱負荷を低減することが可能となる。また、本発明は、ゲート酸化膜などの絶縁膜(シリコン酸化物)あるいはシリコン半導体基板上に界面反応を抑制した状態でPZTなどの強誘電体膜を結晶化させる1T1型タイプのメモリに好適である。また、ゲート酸化膜として形成したZrO₂、HfO₂、シリケート膜などを誘電率増加、結晶性向上などを目的として熱処理することができる。これまではシリコンとの拡散、反応が問題であったが、フラッシュランプ加熱により良好な界面を形成することができる。また、耐熱性、耐酸化性が低いタングステン、ポリシリコンなどのプラグ上にキャパシタを形成するCOP構造において、プラグ部分にかかる熱負担を低減し、酸化の抑制、コンタクト抵抗の増加を抑制しながらキャパシタの強誘電体膜を結晶化することが可能となる。このプロセスにより微小なセルサイズが可能となり、半導体メモリの高集積化が実現できる。また、フラッシュランプを使用する際にマスク材を使用することにより容易に部分的な結晶化が可能になる。また、本発明は、電極膜/誘電体膜/電極膜の積層構造で誘電体膜の一部が下部電極膜から延在した立体形状キャパシタ構造において、その延在した部分の誘電体膜と絶縁膜との間の反応が抑制される。

【図面の簡単な説明】

【図1】本発明のPZT膜を誘電体膜として使用したキャパシタが形成されたシリコン半導体基板の断面図。

【図2】本発明の半導体装置を製造する工程フロー図。

【図3】本発明のPZT膜を使用したキャパシタの構造を示す断面図。

【図4】本発明のPZT膜を使用したキャパシタの構造(MFIS)の断面図。

【図5】本発明のPZT膜を使用した立体形状キャパシタの構造を示す断面図。

【図6】本発明の強誘電体膜を有する半導体基板の断面図。

【図7】本発明のマスクを用いて強誘電体膜を部分的にアモルファス状態から結晶化する状態を説明する半導体基板の断面図。

【図8】本発明の強誘電体膜の結晶化条件を示す特性図。

【図9】本発明のフラッシュランプを備えた加熱処理装置の概略断面図。

【図10】本発明の半導体基板上に形成されたキャパシタとその下に形成されたA1配線を示す写真の断面図。

【図11】本発明の遮光マスクが配置されたシリコンウエハの平面図及び断面図。

【図12】半導体基板上に形成されたPZT膜をフラッ

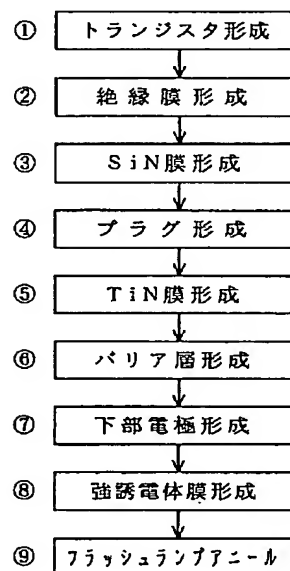
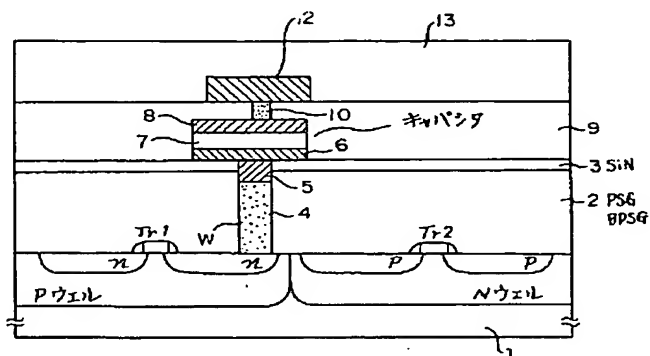
30

* 45・・・下部電極、7、28、34、46・・・強誘電体膜(PZT膜)、8、29、35、47・・・上部電極、11、21・・・ソース/ドレイン領域、12、25(25a、25b、25c、25d、25e)、31・・・配線、22・・・コバルトシリサイド、24・・・Ti/TiNの積層膜、33・・・ゲート酸化膜、100・・・試料チャンバー、102・・・試料台、103・・・ガス導入口、104・・・排気口、105・・・石英窓、106・・・棒状ランプ、107・・・フラッシュランプ、108・・・ウエハ、109、110・・・電源。

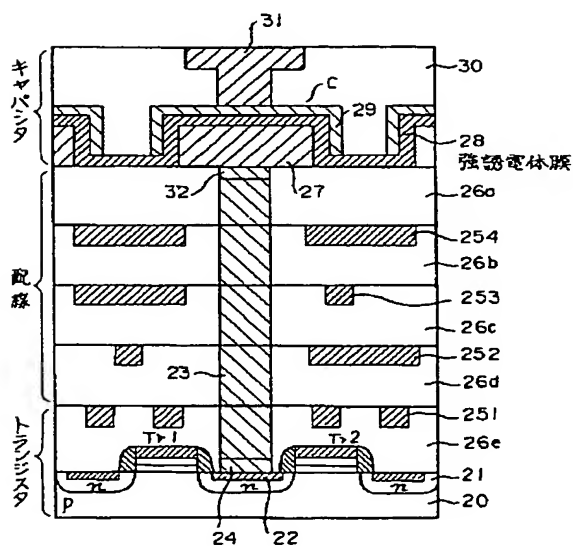
【符号の説明】

1、20、40、50・・・半導体基板（ウエハ）、
2、9、13、26（26a、26b、26c、26
d、26e）、30、41、48・・・絶縁膜、 3
・・・シリコン窒化膜、4、10、23、42・・・ブ 10
ラグ、5、32、43・・・バリア層、 6、27、*

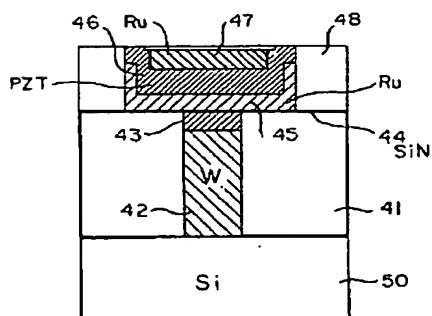
【圖2】



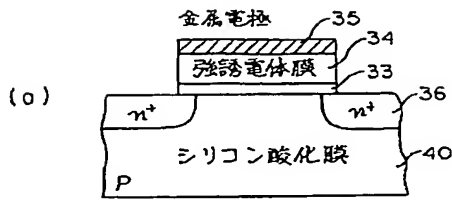
【圖3】



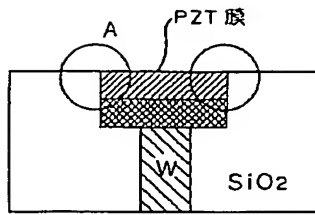
【図5】



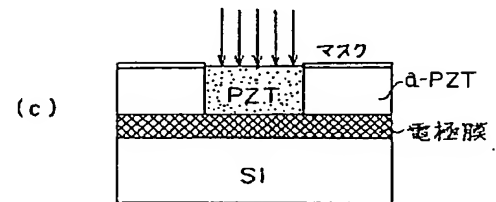
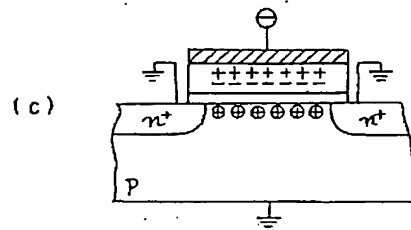
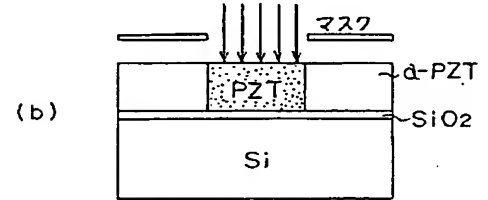
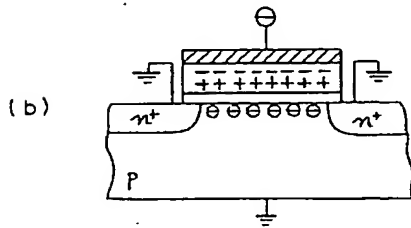
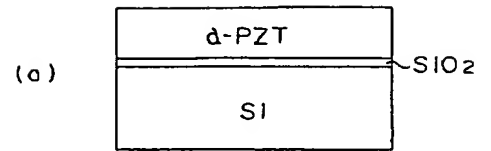
【図4】



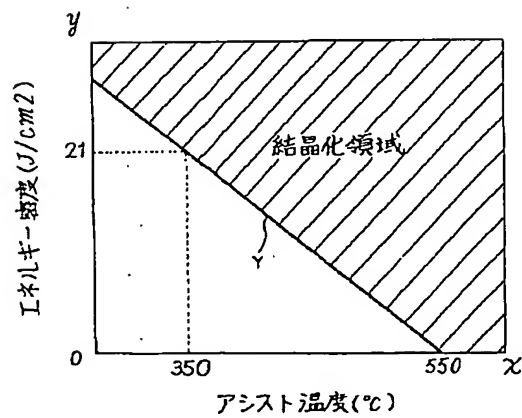
【図6】



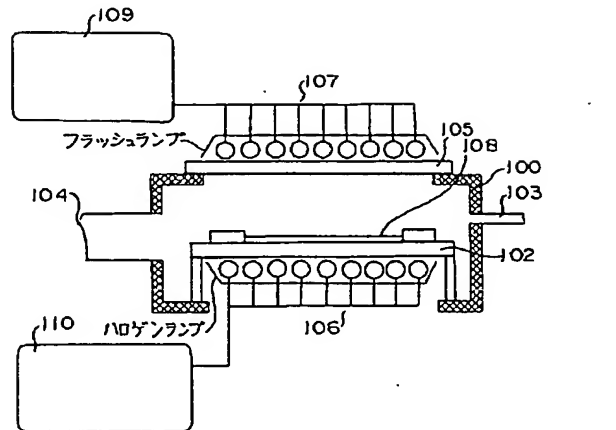
【図7】



【図8】



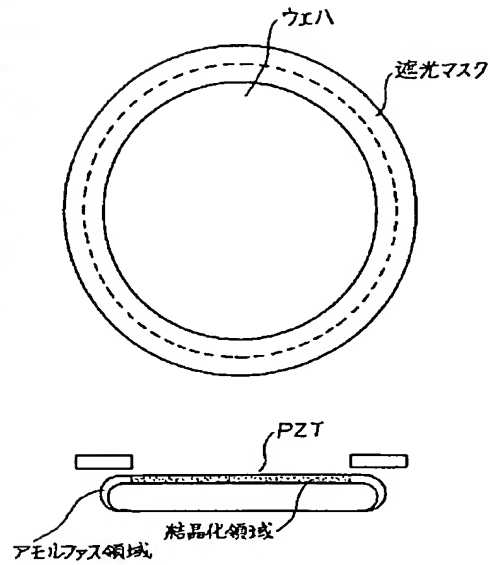
【図9】



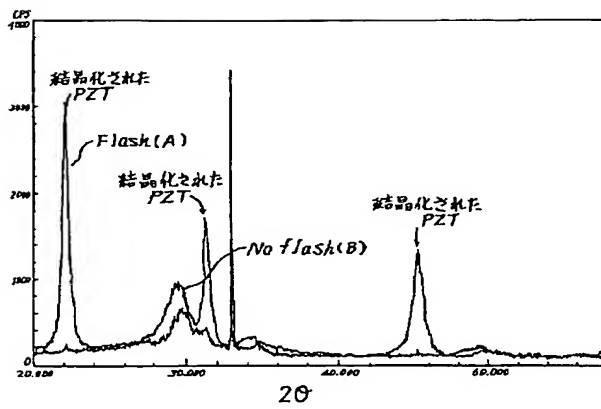
【図10】



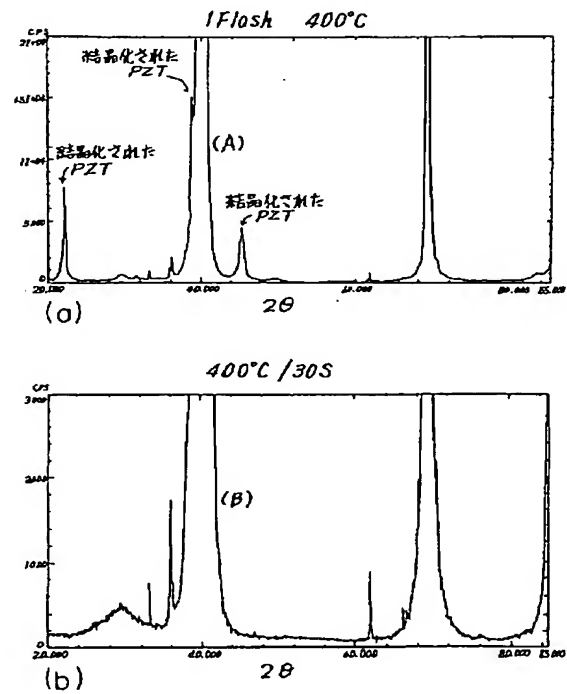
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 奥村 勝弥

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

F ターム(参考) 4K029 AA06 BA01 BA50 BD01 CA05
CA06 DC05 DC09 EA01 EA03
EA05 EA09 FA04 GA01
4M104 BB06 CC05 EE03 EE12 EE14
GG14 GG16
5F058 BA11 BB06 BC03 BD04 BD05
BF02 BF12 BH20 BJ02
5F083 FR02 GA21 JA06 JA14 JA15
JA17 JA35 JA36 JA37 JA38
JA39 JA40 JA42 JA43 MA06
MA17 NA08 PR22 PR34 PR40